

KOREAN PATENT ABSTRACT (KR)

Patent Laid-Open Gazette

(51) IPC Code: H01J 1/30

(11) Publication No.: P2001-0046796

(43) Publication Date: 15 June 2001

(21) Application No.: 10-1999-0050700

(22) Application Date: 15 November 1999

(71) Applicant:

KIM, DUK JOONG, Institute for Advanced Engineering (IAE)  
526, Namdaemunro-5-ga, Jung-gu, Seoul, Korea

(72) Inventor:

CHOI, YOUNG WHAN  
NAM, MYOUNG WOO

(74) Attorney:

PARK, HEE JIN,  
PARK, YOUNG WOO

(54) Title of the Invention:

Field emission device and method of manufacturing the same

Abstract:

A field emission device which simplifies a structure and improves the uniformity of electrons emitted from a micro-tip, and a method of manufacturing the same are provided. A cathode electrode is formed on a glass substrate or a silicon substrate. A gate insulating layer and a gate electrode are sequentially formed to have a gate hole. A resistive layer and a micro-tip are sequentially formed on the cathode electrode in the gate hole. The resistive layer is formed using self alignment or mechanical chemical polishing. Accordingly, a desired image can be precisely realized, and the life span of the field emission device is lengthened.

공개특허 제2001-46796호(2001.06.15) 1부.

[첨부그림 1]

특 2001-0046796

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. H01J 1/30	(11) 공개번호 (43) 공개일자	특 2001-0046796 2001년 06월 15일
(21) 출원번호 (22) 출원일자	10-1999-0050700 1999년 11월 15일	
(71) 출원인	사단법인 고등기술연구원 연구조합 김덕중	
(72) 발명자	서철: 경주 남대문로5가 526번지 최영환 경기도수원시팔달구원천동72-20 남영우	
(74) 대리인	경기도수원시팔달구영통동955-1 황골마을주공1단지 133-604 박희진, 박영우	

심사관: 양동

(54) 전계방출소자 및 이의 제조방법

요약

구조의 단순화 및 마이크로립으로부터 방출되는 전자의 균일도를 향상하기 위한 전계방출소자 및 이의 제조방법이 개시되어 있다. 캐소드 전극이 유리 기판 또는 실리콘 기판 상에 형성되어 있다. 그리고 게이트 절연층 및 게이트 전극이 게이트 홀을 가지면서 순차적으로 형성되어 있다. 상기 게이트 홀 내의 캐소드 전극 상부에는 저항층 및 마이크로립이 순차적으로 형성되어 있다. 상기 저항층은 자기정렬기법 또는 기계화학적연마로 형성한다. 따라서 소망하는 회상을 정확하게 구현할 뿐만 아니라 전계방출소자의 수명이 연장된다.

도면도

도 5

발명자

도면의 간단한 설명

도 1 내지 도 4는 종래의 전계방출소자를 도시한 단면도들이다.  
도 5는 본 발명에 따른 전계방출소자를 도시한 단면도이다.  
도 6a 내지 도 6g는 본 발명에 따른 전계방출소자의 제조방법의 제1 실시예를 설명하기 위한 단면도이다.  
도 7a 내지 도 7g는 본 발명에 따른 전계방출소자의 제조방법의 제2 실시예를 설명하기 위한 단면도이다.

\* 도면의 주요부분에 대한 부호의 설명 \*

10, 60, 80 : 유리기판  
12, 52 : 캐소드 전극  
14, 54, 64, 84 : 게이트 절연층  
16, 56 : 게이트 전극  
18, 58, 76, 96 : 마이크로립  
20, 30, 40, 57, 70, 88 : 저항층  
50 : 기판  
62, 82 : 캐소드 전극층  
66, 86 : 게이트 전극층  
68, 72 : 분리층  
74, 90, 94 : 금속층  
92 : 희생층

발명의 상세한 설명

**발명의 목적**

**발명이 속하는 기술분야 및 그 분야의 종래기술**

본 발명은 전계방출소자 및 그의 제조방법에 관한 것으로서, 보다 상세하게는 캐소드 전극과 마이크로립(Microtips) 사이에만 저항층을 형성하여 구조의 단순화 및 마이크로립으로부터 방출되는 전자의 균일도를 향상시킨 전계방출소자 및 그의 제조방법에 관한 것이다.

최근의 디스플레이장치는 고화질, 고해상도의 평면 디스플레이장치(Flat Panel Display Device)로 발전되어 가는 추세이다. 이와 같은 평면 디스플레이장치는 LCD(Liquid crystal Display), PDP(Plasma Display Panel), DMD(Digital Mirror Device) 등으로 다양하게 응용되는데, 이 중에서 전자의 방출을 이용하는 소자가 전계방출소자(Field Emission Display: FED)이다.

상기 전계방출소자는 캐소드 전극 상에 마이크로립을 형성시키고, 게이트 전극을 상기 마이크로립에 근접하게 위치시켜,  $5 \times 10^{-4}$ cm 정도의 전기장을 상기 마이크로립의 단부에 형성시킴으로써, 상기 마이크로립으로부터 전자가 방출되는 전계방출을 이용한다. 그리고 상기 마이크로립으로부터 방출된 전자는 다시 캐소드 전극과 애노드 전극 간의 전계에 의해 가속되어 상기 애노드 전극에 형성된 형광층에 충돌한다. 이에 따라 형광층이 발광함으로써 소망하는 화상을 얻는다.

도 1 내지 도 3은 종래의 전계방출소자를 설명하기 위한 도면들이다.

도 1을 참조하면, 소다 라임 글래스(Soda Lime Glass) 등과 같은 유리기판(10) 상에 캐소드 전극(12), 게이트 절연층(14) 및 게이트 전극(16) 등이 순차적으로 형성되어 있다. 그리고 게이트 절연층(14) 및 게이트 전극(16)을 패터닝함으로써 형성된 게이트 홀 내에는 원형의 마이크로립(Microtips)(18)이 형성되어 있다.

상기와 같은 구성의 전계방출소자는 캐소드 전극(12)에 인가되는 전류에 따라 마이크로립(18)으로부터 방출되는 전자의 균일도가 결정되지만, 캐소드 전극(12)에 인가되는 전류의 제어가 용이하지 않기 때문에 마이크로립(18)으로부터 방출되는 전자의 균일도를 일정하게 유지하기가 어렵다. 또한 일부의 마이크로립(18)에 전류가 과도하게 인가됨으로써 마이크로립(18) 자체에 직접적인 손상이 가해지기도 한다.

따라서 최근에는 전술한 바를 해결하기 위하여 도 2 내지 도 4에 도시된 바와 같이 저항층(20, 30, 40)을 형성한다. 따라서 저항층(20, 30, 40)을 이용하여 캐소드 전극(12)에 인가되는 전류를 제어한다.

상기 저항층이 형성된 전계방출소자에 대해서는 미합중국 특허 제4,940,916호, 제5,194,780호 및 제5,536,993호에 상세히 개시되어 있다.

도 2는 미합중국 특허 제4,940,916호 및 제5,194,780호에 개시된 저항층과 동일한 구성을 갖는다. 도 2를 참조하면, 저항층(20)은 캐소드 전극(12)의 수직단면의 일직선 상에 형성된다.

그러나 상기와 같이 저항층(20)이 형성된 경우에는 저항층(20)에 핀홀(Pin Hole)이 빈번하게 생성된다. 따라서 상기 핀홀로 인하여 캐소드 전극(12)과 마이크로립(18)이 직접적으로 접촉되기도 한다. 이에 따라 마이크로립(18)으로부터 방출되는 전자의 균일도가 일정하지 못한 문제점이 있었다.

도 3은 미합중국 특허 제5,194,780호에 개시된 저항층과 동일한 구성을 갖는다. 도 3을 참조하면, 전계방출소자에 인가되는 전기적 신호를 전달하는 버스라인 영역에만 캐소드 전극(12)이 형성되는데, 저항층(30)은 캐소드 전극(12)을 포함하는 동일한 상에 형성된다.

그러나 상기와 같이 저항층(30)이 형성된 경우에는 캐소드 전극(12)과 마이크로립(18)의 이격거리에 따라 저항값이 달라진다. 따라서 일부의 마이크로립(18)에 과도한 전류가 인가되기도 한다. 이에 따라 마이크로립(18)으로부터 방출되는 전자의 균일도가 일정하지 못할 뿐만 아니라 마이크로립(18)이 손상되는 문제점이 있었다.

도 4는 미합중국 특허 제5,536,993호에 개시된 저항층과 동일한 구성을 갖는다. 도 4를 참조하면, 전계방출소자에 인가되는 전기적 신호를 전달하는 버스라인 영역 및 마이크로립(18)이 형성된 영역 각각에 캐소드 전극(12)이 형성되는데, 저항층(40)은 캐소드 전극(12)을 포함하는 전면 상에 형성된다. 즉, 저항층(40)은 캐소드 전극(12)을 포함하는 동일한 및 수직단면의 일직선 상에 형성된다.

그러나 상기와 같이 저항층(40)이 형성된 경우에는 구조가 복잡할 뿐만 아니라 저항층(40)으로 인한 단면 두께의 증가로 게이트 홀 패턴을 용이하게 형성하지 못한다. 이에 따라 마이크로립(18)의 개수가 제한되는 문제점이 있었다.

전술한 도 2 내지 도 4에 도시된 전계방출소자는 화소단위로 저항층이 형성되기 때문에 하나의 마이크로립이 손상되어도 상기 화소 전체에 영향을 끼치는 문제점이 있었다.

또한 상기 저항층은 정렬, 노광, 현상 등을 순차적으로 수행하는 사진식각공정으로 형성되기 때문에 전계방출소자의 제조에 따른 양산성 및 신뢰성이 저하되는 문제점이 있었다.

**발명이 이루고자 하는 기술적 과제**

본 발명의 제1 목적은 마이크로립으로부터 방출되는 전자의 균일도의 향상 및 구조의 단순화를 도모하기 위한 전계방출소자를 제공하는 데 있다.

본 발명의 제2 목적은 구조의 단순화 뿐만 아니라 전계방출소자의 제조에 따른 양산성 및 신뢰도를 향상시키기 위한 전계방출소자의 제조방법을 제공하는 데 있다.

**본 발명의 구성 및 작용**

상기 제1 목적을 달성하기 위한 본 발명의 전계방출소자는, 캐소드 전극이 유리 기판 또는 실리콘 기판 상에 형성되어 있고, 게이트 절연층 및 게이트 전극이 게이트 홀을 가지도록 순차적으로 형성되어 있으며, 상기 게이트 홀 내의 캐소드 전극 상부에 저항층 및 마이크로팁이 순차적으로 형성되어 있다.

상기 제2 목적을 달성하기 위한 본 발명의 전계방출소자의 제조방법은, 유리 기판 또는 실리콘 기판 상에 캐소드 전극층, 게이트 절연층 및 게이트 전극층을 순차적으로 형성하는 단계와, 상기 캐소드 전극층이 일부 노출되는 게이트 홀을 가지도록 상기 게이트 전극층 및 게이트 절연층을 순차적으로 제거하는 단계와, 상기 게이트 홀이 형성된 게이트 전극층 상에 분리층이 형성되도록 상기 분리층을 회전경사기법으로 형성하는 단계와, 상기 노출된 캐소드 전극층 상부 및 상기 분리층 상에 저항층을 형성하는 단계와, 상기 게이트 홀 내에 형성된 저항층 상에 마이크로팁을 형성하는 단계로 구성된다.

상기 저항층은 비정질 실리콘을 화학기상증착으로 형성하는데, 자기정렬기법을 이용한다.

상기 제2 목적을 달성하기 위한 본 발명의 전계방출소자의 다른 제조방법은, 유리 기판 또는 실리콘 기판 상에 캐소드 전극층, 게이트 절연층 및 게이트 전극층을 순차적으로 형성하는 단계와, 상기 캐소드 전극층이 일부 노출되는 게이트 홀을 가지도록 상기 게이트 전극층 및 게이트 절연층을 순차적으로 제거하는 단계와, 상기 게이트 홀 내에 노출된 캐소드 전극층, 상기 게이트 홀의 측벽 및 상기 게이트 전극층 상에 저항층 및 금속층을 순차적으로 형성하는 단계와, 상기 게이트 전극층이 노출되도록 상기 게이트 전극층 상에 형성된 금속층 및 저항층을 순차적으로 제거하는 단계와, 상기 게이트 홀 내에 형성된 금속층을 식각마스크로 하여 상기 게이트 홀의 측벽에 형성된 저항층을 제거하는 단계와, 상기 식각마스크인 금속층 하에 형성되어 있는 저항층이 노출되도록 상기 금속층을 제거하는 단계와, 상기 저항층 상에 마이크로팁을 형성하는 단계로 구성된다.

상기 저항층은 비정질 실리콘을 플라즈마화학기상증착으로 형성하고, 상기 금속층 및 저항층은 씨엠피를 수행하여 순차적으로 제거된다.

따라서 저항층을 독립적으로 형성함으로써, 구조의 단순화를 도모하면서 마이크로팁으로부터 방출되는 전자의 균일도를 일정하게 유지할 수 있다.

이하, 본 발명의 바람직한 실시예를 첨부한 도면에 따라서 더욱 상세히 설명하기로 한다.

도 5는 본 발명에 따른 전계방출소자를 도시한 단면도이고, 도 6a 내지 도 6g는 본 발명에 따른 전계방출소자의 제조방법의 제1 실시예를 설명하기 위한 단면도이며, 도 7a 내지 도 7h는 본 발명에 따른 전계방출소자의 제조방법의 제2 실시예를 설명하기 위한 단면도이다.

도 5를 참조하면, 유리기판 또는 실리콘 기판 등과 같은 기판(50) 상에 캐소드 전극(52)이 형성되어 있다. 그리고 캐소드 전극(52) 상에 게이트 절연층(54) 및 게이트 전극(56)이 순차적으로 형성되어 있다. 상기 게이트 절연층(54) 및 게이트 전극(56)에는 캐소드 전극(52)이 일부 노출되는 게이트 홀을 갖는 패턴이 형성되어 있다. 상기 게이트 홀 내의 게이트 전극(52) 상부에 저항층(57)이 형성되어 있다. 그리고 저항층(57) 상에 마이크로팁(58)이 형성되어 있다. 상기 저항층(57)은 비정질 실리콘으로써 주로 화학기상증착으로 형성된다.

따라서 상기 게이트 홀 내에만 저항층(57)이 형성된 구성이다. 즉, 게이트 홀 내에는 상기 게이트 홀의 형성에 의하여 노출된 캐소드 전극(52), 캐소드 전극(52) 상부에 형성되는 저항층(57) 그리고 저항층(57) 상에 형성되는 마이크로팁(58)이 적층되어 있다.

이와 같이 구성된 전계방출소자의 제조방법은 다음과 같다. 자기정렬기법으로 수행되는 전계방출소자의 제조방법을 제1 실시예로 하고, 화학기계적연마(CMP : Chemical mechanical Polishing)를 수행하는 전계방출소자의 제조방법을 제2 실시예로 한다.

**제1 실시예**

도 6a를 참조하면, 소다 라임 글래스(Soda lime glass)와 같은 유리기판(60) 상에 캐소드 전극층(62), 게이트 절연층(64) 및 게이트 전극층(66)을 순차적으로 형성한다. 상기 유리기판(60) 대신에 실리콘 기판을 이용할 수도 있다. 그리고 상기 캐소드 전극층(62), 게이트 절연층(64) 및 게이트 전극층(66)은 화학기상증착으로 형성된다. 상기 캐소드 전극층(62)은 캐소드 전극으로 형성되고, 상기 게이트 전극층(66)은 게이트 전극으로 형성된다.

도 6b를 참조하면, 상기 캐소드 전극층(62)이 일부 노출되는 게이트 홀을 갖는 패턴이 형성되도록 상기 게이트 전극층(66) 및 게이트 절연층(64)을 순차적으로 제거한다.

도 6c를 참조하면, 상기 게이트 홀이 형성된 게이트 전극층(66) 상에 제1 분리층(68)을 형성한다. 상기 제1 분리층(68)은 알루미늄 등을 화학기상증착으로 형성한다. 그리고 상기 제1 분리층(68)은 회전경사기법으로 형성하기 때문에 상기 게이트 홀에는 형성되지 않는다.

도 6d를 참조하면, 상기 제1 분리층(68) 상에 저항층(70)을 형성한다. 이때 상기 게이트 홀 내에 노출된 캐소드 전극층(62) 상부에도 저항층(70)이 형성된다. 그리고 제1 분리층(68)이 마스크 역할을 하는 자기정렬기법을 이용하기 때문에 상기 게이트 홀의 측벽에는 저항층(70)이 형성되지 않는다. 이는 상기 제1 분리층(68)이 마스크 역할을 할 수 있는 것은 상기 제1 분리층(68)을 회전경사기법으로 형성하기 때문이다. 즉, 상기 제1 분리층(68)의 단부가 게이트 전극층(66) 상에 플룸되는 형태로 형성되기 때문이다. 상기 저항층(70)은 비정질 실리콘을 플라즈마화학기상증착으로 형성한다.

이어서, 상기 저항층(70) 상에 후속하는 마이크로팁(76)을 형성하면 도 5에 도시된 바와 같은 전계방출소자가 형성된다.

상기 마이크로팁(76)의 형성은 다음과 같다. 먼저 도 6e를 참조하면, 상기 게이트 전극층(66) 상에 형성

된 저항층(70), 상에만 제2·분리층(72)을 형성한다. 제2·분리층(72) 또한 상기 제1·분리층(68)과 마찬가지로 회전증사기법으로 형성된다.

도 6를 참조하면, 상기 마이크로칩(76)을 형성하기 위한 금속층(74)을 수직증착한다. 이때, 상기 게이트·홀 내에 형성된 저항층(70) 상에 마이크로칩(76)이 형성된다.

도 6g를 참조하면, 상기 게이트 전극 상에 형성된 상기 금속층(74), 제2·분리층(72), 저항층(70) 및 제1·분리층(68)을 순차적으로 제거한다. 따라서 도 5에 도시된 바와 같은 전계방출소자가 형성된다. 즉, 게이트·홀 내에 형성된 마이크로칩(76) 각각에 저항층(70)이 형성된다.

이에 따라, 상기 마이크로칩(76)으로부터 방출되는 전자의 균일도는 일정하게 유지된다. 즉, 마이크로칩(76) 각각에 형성되어 있는 저항층(70)이 캐소드 전극층(62)으로 형성된 캐소드 전극에 인가되는 전류를 용이하게 제어하기 때문이다.

그리고 하나의 마이크로칩(76)이 손상되어도 저항층(70)이 독립적으로 형성되어 있기 때문에 화소 전체에는 영향을 끼치지 않는다.

또한 상기 마이크로칩(76)을 형성하는 개수에 제한이 가해지지 않는다.

그리고 상기 저항층(70)은 자기정렬기법을 이용한 화학기상증착으로 형성되기 때문에 전계방출소자의 제조시 제조공정에 따른 어려움이 경감된다.

## 제2 실시예

도 7a를 참조하면, 소다·리임 글래스(Soda lime glass)와 같은 유리기판(80) 상에 캐소드 전극층(82), 게이트·절연층(84) 및 게이트 전극층(86)을 순차적으로 형성한다. 상기 유리기판(80) 대신에 실리콘 기판을 이용할 수도 있다. 그리고, 상기 캐소드 전극층(82), 게이트·절연층(84) 및 게이트 전극층(86)은 화학기상 증착으로 형성된다. 상기 캐소드 전극층(82)은 캐소드 전극으로 형성되고, 상기 게이트 전극층(86)은 게이트 전극으로 형성된다.

도 7b를 참조하면, 상기 캐소드 전극층(82)이 일부 노출되는 게이트·홀을 갖는 패턴이 형성되도록 상기 게이트 전극층(86) 및 게이트·절연층(84)을 순차적으로 제거한다.

도 7c를 참조하면, 상기 게이트 전극층(86) 상에 저항층(88)을 형성한다. 이때 상기 게이트·홀 내에 노출되는 캐소드 전극층(82)과 상기 게이트·홀의 측벽에도 저항층(88)이 형성된다. 상기 저항층(88)은 비정질 실리콘을 플라즈마화학기상증착으로 형성한다. 이어서, 상기 저항층(88) 상에 화학기상증착으로 금속층(90)을 형성한다. 마찬가지로 상기 게이트·홀 내에도 금속층(90)이 형성된다. 따라서 상기 게이트·홀 내에 노출된 캐소드 전극층(82)과 상기 게이트·홀의 측벽 및 게이트 전극층(86) 상에는 저항층(88) 및 금속층(90)이 순차적으로 형성된다.

도 7d를 참조하면, 게이트 전극층(86)이 노출되도록 금속층(90) 및 저항층(88)을 순차적으로 제거한다. 상기 금속층(90) 및 저항층(88)은 화학기상증착으로 제거한다. 이에 따라 게이트 전극층(86)이 노출된다.

도 7e를 참조하면, 상기 게이트·홀 내에 측벽에 형성된 저항층(88)을 식각한다. 상기 식각은 습식식각을 수행하는데, 이때 식각마스크는 상기 게이트·홀 내에 형성된 금속층(90)이다.

도 7f를 참조하면, 상기 식각마스크인 금속층(90)을 제거시킨다. 이에 따라 게이트·홀 내에만 저항층(88)이 형성된다.

이어서, 상기 저항층(88) 상에 후술하는 마이크로칩(96)을 형성하면 도 5에 도시된 바와 같은 전계방출소자가 형성된다.

상기 마이크로칩(96)의 형성은 다음과 같다. 먼저 도 7g를 참조하면, 상기 게이트 전극층(86) 상에 회생층(92)을 형성한다. 상기 회생층(92)은 알루미늄 등을 일렉트론빔(Electron beam)을 이용하여 형성한다. 그리고, 상기 회생층(92)은 회전증사기법으로 형성하기 때문에 상기 게이트·홀에는 형성되지 않는다.

도 7g를 참조하면, 마이크로칩(96)을 형성하기 위한 금속층(94)을 수직증착한다. 이때, 상기 게이트·홀 내에 형성된 저항층(88) 상에 마이크로칩(96)이 형성된다. 상기 금속층(94)은 일렉트론빔을 이용하여 형성한다.

도 7h를 참조하면, 상기 게이트 전극층(86) 상에 형성된 상기 금속층(94) 및 회생층(92)을 순차적으로 제거한다. 따라서 도 5에 도시된 바와 같은 전계방출소자가 형성된다. 즉, 게이트·홀 내에 형성된 마이크로칩(96) 각각에 저항층(88)이 형성된다.

이에 따라, 상기 마이크로칩(96)으로부터 방출되는 전자의 균일도는 일정하게 유지된다. 즉, 마이크로칩(96) 각각에 형성되어 있는 저항층(88)이 캐소드 전극층(82)으로 형성되는 캐소드 전극에 인가되는 전류를 용이하게 제어하기 때문이다.

그리고 하나의 마이크로칩(96)이 손상되어도 저항층(88)이 독립적으로 형성되어 있기 때문에 화소 전체에는 영향을 끼치지 않는다.

또한 상기 마이크로칩(96)을 형성하는 개수에 제한이 가해지지 않는다.

## 효율의 효과

따라서 본 발명은 마이크로칩으로부터 방출되는 전자의 균일도를 일정하게 유지함으로써 소망하는 화상을 정확하게 구현할 뿐만 아니라 전계방출소자의 수명이 연장되는 효과가 있다.

그리고 사진식각공정을 회피하면서 저항층을 형성하기 때문에 전계방출소자의 제조에 따른 양산성 및 신뢰성이 향상되는 효과가 있다.

또한 저항층을 독립적으로 형성함으로써 하나의 화소단위 내에 형성되는 마이크로팁 개수에 제한이 경감된다. 따라서 전계방출소자의 해상도가 향상되는 효과가 있다.

이상에서 본 발명은 기재된 구체예에 대해서만 상세히 설명되었지만 본 발명의 기술사상 범위 내에서 다양한 변형 및 수정이 가능함은 당업자에게 있어서 명백한 것이며, 이러한 변형 및 수정이 첨부된 특허청구범위에 속함은 당연한 것이다.

#### (5) 청구의 범위

##### 청구항 1

유리 기판 또는 실리콘 기판 상에 형성된 캐소드 전극;

상기 캐소드 전극이 일부 노출되는 게이트 홀을 가지면서 상기 캐소드 전극 상에 순차적으로 형성된 게이트 절연층 및 게이트 전극;

상기 게이트 홀 내의 캐소드 전극 상부에 형성된 저항층; 및

상기 저항층 상에 형성된 마이크로팁을 구비하여 이루어짐을 특징으로 하는 전계방출소자.

##### 청구항 2

제 1 항에 있어서, 상기 저항층은 비정질 실리콘인 것을 특징으로 하는 전계방출소자.

##### 청구항 3

(i) 유리 기판 또는 실리콘 기판 상에 캐소드 전극층, 게이트 절연층 및 게이트 전극층을 순차적으로 형성하는 단계;

(ii) 상기 캐소드 전극층이 일부 노출되는 게이트 홀을 가지도록 상기 게이트 전극층 및 게이트 절연층을 순차적으로 제거하는 단계;

(iii) 상기 게이트 홀에 형성된 게이트 전극층 상에 분리층이 형성되도록 상기 분리층을 회전경사기법으로 형성하는 단계;

(iv) 상기 노출된 캐소드 전극층 상부 및 상기 분리층 상에 저항층을 형성하는 단계; 및

(v) 상기 게이트 홀 내에 형성된 저항층 상에 마이크로팁을 형성하는 단계를 구비하여 이루어짐을 특징으로 하는 전계방출소자의 제조방법.

##### 청구항 4

제 3 항에 있어서, 상기 (iv)의 저항층은 비정질 실리콘을 자기정렬기법으로 형성하는 것을 특징으로 하는 전계방출소자의 제조방법.

##### 청구항 5

(1) 유리 기판 또는 실리콘 기판 상에 캐소드 전극층, 게이트 절연층 및 게이트 전극층을 순차적으로 형성하는 단계;

(2) 상기 캐소드 전극층이 일부 노출되는 게이트 홀을 가지도록 상기 게이트 전극층 및 게이트 절연층을 순차적으로 제거하는 단계;

(3) 상기 게이트 홀 내에 노출된 캐소드 전극층, 상기 게이트 홀의 측벽 및 상기 게이트 전극층 상에 저항층 및 금속층을 순차적으로 형성하는 단계;

(4) 상기 게이트 전극층이 노출되도록 상기 게이트 전극층 상에 형성된 금속층 및 저항층을 순차적으로 제거하는 단계;

(5) 상기 게이트 홀 내에 형성된 금속층을 식각마스크로 하여 상기 게이트 홀의 측벽에 형성된 저항층을 제거하는 단계;

(6) 상기 (5)의 식각마스크인 금속층 하에 형성되어 있는 저항층이 노출되도록 상기 금속층을 제거하는 단계; 및

(7) 상기 (6)의 저항층 상에 마이크로팁을 형성하는 단계를 구비하여 이루어짐을 특징으로 하는 전계방출소자의 제조방법.

##### 청구항 6

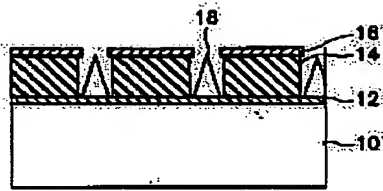
제 5 항에 있어서, 상기 (3)의 저항층은 비정질 실리콘을 플라즈마화학기상증착으로 형성하는 것을 특징으로 하는 전계방출소자의 제조방법.

##### 청구항 7

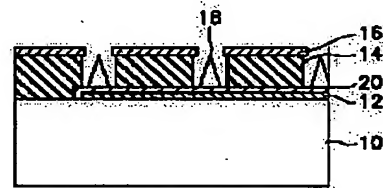
제 5 항에 있어서, 상기 (4)의 금속층 및 저항층은 화학기계적연마(CMP)를 수행하여 순차적으로 제거하는 것을 특징으로 하는 전계방출소자의 제조방법.

도면

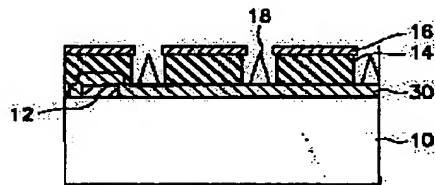
도 1



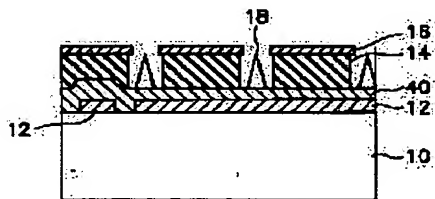
도 2



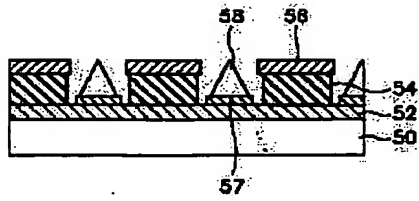
도 3



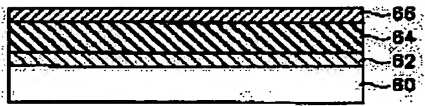
도 4



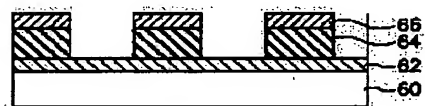
도 B5



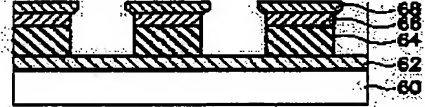
도 B5a



도 B5b



도 B5c



도 B5d

